

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010493231 **Image available**
WPI Acc No: 1995-394551/199551
XRAM Acc No: C95-169859
XRPX Acc No: N95-287696

Vacuum image forming appts. for a flat display - includes wiring on one substrate for an electron emitter formed of a conductive layer plated on a printed pattern to reduce gas discharge and reduce wiring resistance
Patent Assignee: CANON KK (CANO)
Inventor: HASEGAWA M; KANEKO T; SANDO K; TAMURA M; YANAGISAWA Y; OHGURI N; SUGENO T; TAKAMATSU O

Number of Countries: 019 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 683501	A2	19951122	EP 95303357	A	19950519	199551 B
JP 8045448	A	19960216	JP 95115803	A	19950515	199617
EP 683501	A3	19970115	EP 95303357	A	19950519	199713
<i>concord</i> <u>US 5831387</u>	A	19981103	US 95446252	A	19950522	199851
			US 95578959	A	19951227	
US 6087770	A	20000711	US 95446252	A	19950522	200037
			US 97988539	A	19971210	
US 6137218	A	20001024	US 95446252	A	19950522	200055
			US 95578959	A	19951227	
			US 98174003	A	19981016	

Priority Applications (No Type Date): JP 95115803 A 19950515; JP 94106673 A 19940520; JP 94109401 A 19940524; JP 94324338 A 19941227; JP 95109401 A 19950524

Cited Patents: No-SR.Pub; 3.Jnl.Ref; EP 299461; EP 312007; EP 660359; JP 1112631; JP 1279557; JP 3142894; US 5219310

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 683501	A2	E	32	H01J-031/12	
-----------	----	---	----	-------------	--

Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL PT SE

JP 8045448	A	19	H01J-031/12	
EP 683501	A3		H01J-031/12	
US 5831387	A		H01J-019/24	CIP of application US 95446252
US 6087770	A		H01J-001/62	Cont of application US 95446252
US 6137218	A		H01J-001/62	CIP of application US 95446252
				Div ex application US 95578959
				Div ex patent US 5831387

Abstract (Basic): EP 683501 A

Image forming appts. has: first substrate carrying a functional element, pref. an electron emitter, and wiring; and a second substrate carrying an area where an image is to be formed, the two substrates facing each other across a pressure-reduced space. The wiring is a laminate formed by plating a conductive layer, pref. of thickness 1-100 esp. 10-100 micron on to a printed pattern, pref. of thickness 1-100 esp. 2-80 micron. Method for mfg. the appts. is claimed including forming a printed pattern on the first substrate and forming the wiring pattern by plating a layer of conductive material on the printed pattern.

USE - Esp. with a large size, flat display screen.

ADVANTAGE - Discharge of gas from the wiring pattern is reduced and resistance of the wiring is low, so that stable images can be obtd. over prolonged periods.

Dwg.1/16

Title Terms: VACUUM; IMAGE; FORMING; APPARATUS; FLAT; DISPLAY; WIRE; ONE; SUBSTRATE; ELECTRON; EMITTER; FORMING; CONDUCTING; LAYER; PLATE; PRINT; PATTERN; REDUCE; GAS; DISCHARGE; REDUCE; WIRE; RESISTANCE

Derwent Class: L03; V05

International Patent Class (Main): H01J-001/62; H01J-019/24; H01J-031/12

International Patent Class (Additional): H01J-001/00; H01J-001/02;

H01J-005/50; H01J-009/02; H01J-009/20; H01J-029/92; H01J-031/15;
H01J-063/04

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L03-G05

Manual Codes (EPI/S-X): V05-D01C5; V05-D05C5

(51) Int. Cl.⁵H 0 1 J 31/12
9/02
9/20
31/15

識別記号

庁内整理番号

B
B
A
A

F I

技術表示箇所

審査請求 未請求 請求項の数14 O L (全 19 頁)

(21) 出願番号 特願平7-115803

(22) 出願日 平成7年(1995)5月15日

(31) 優先権主張番号 特願平6-106673

(32) 優先日 平6(1994)5月20日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平6-109401

(32) 優先日 平6(1994)5月24日

(33) 優先権主張国 日本(J P)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 金子 哲也
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 田村 美樹
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 柳沢 芳浩
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 井理士 若林 忠

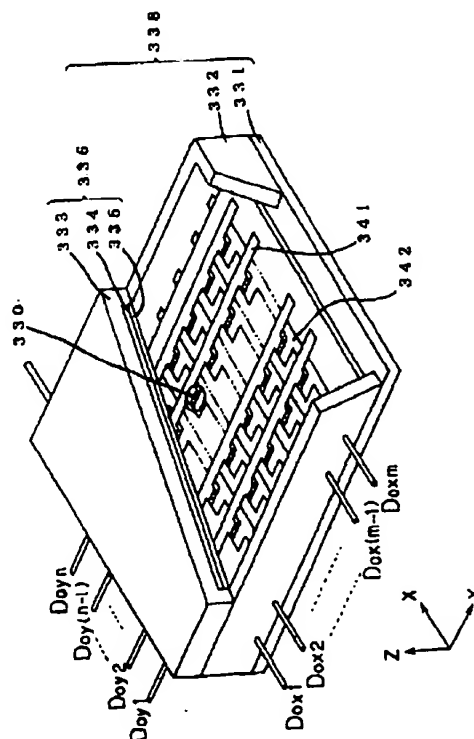
最終頁に続く

(54) 【発明の名称】 画像形成装置及び該画像形成装置の製造方法

(57) 【要約】 (修正有)

【構成】 機能素子330と該機能素子に接続された電気配線341、342とを備えた第1の基板331と、画像が形成される領域を備えた第2の基板336とが対向して配されていて、前記第1の基板と第2の基板との間の空間を減圧状態として前記領域に画像を形成する画像形成装置で、前記電気配線を印刷法によって形成された印刷パターン上に、メッキ法によって導電性材料を積層して構成する。

【効果】 1) 画像表示が極めて安定したものとなり、2) 回路基板および画像形成装置の製造コストを大幅に下げることができ、3) 基板上に高精度に制御した高機能の素子を大面積において形成することができ、4) 画像形成装置の表示用素子駆動信号の配線抵抗による電圧降下や遅延を小さくすることができ、画像特性の劣化が大面積においても生じない。



【特許請求の範囲】

【請求項1】 機能素子と該機能素子に接続された電気配線とを備えた第1の基板と、画像が形成される領域を備えた第2の基板とが対向して配されていて、前記第1の基板と第2の基板との間の空間を減圧状態として前記領域に画像を形成する画像形成装置において、前記電気配線を印刷法によって形成された印刷パターン上に、メッキ法によって導電性材料を積層して構成したことを特徴とする画像形成装置。

【請求項2】 前記印刷パターンの厚みは $1\mu\text{m}\sim 100\mu\text{m}$ の範囲にある請求項1記載の画像形成装置。

【請求項3】 前記印刷パターンの厚みは $2\mu\text{m}\sim 80\mu\text{m}$ の範囲にある請求項2記載の画像形成装置。

【請求項4】 前記導電性材料の厚みは $1\mu\text{m}\sim 100\mu\text{m}$ の範囲にある請求項1記載の画像形成装置。

【請求項5】 前記導電性材料の厚みは $10\mu\text{m}\sim 100\mu\text{m}$ の範囲にある請求項4記載の画像形成装置。

【請求項6】 前記機能素子は、電子放出素子である請求項1記載の画像形成装置。

【請求項7】 前記電子放出素子は、表面伝導型のものである請求項6記載の画像形成装置。

【請求項8】 前記電気配線は、複数の機能素子に接続されマトリクス状をなしている請求項1記載の画像形成装置。

【請求項9】 前記減圧状態とは、 $10^{-2}\text{Torr}\sim 10^{-6}\text{Torr}$ の範囲の真空度である請求項1記載の画像形成装置。

【請求項10】 前記第1の基板は、複数の電気配線を絶縁層を介して上下に配して構成されたものである請求項1記載の画像形成装置。

【請求項11】 前記第1の基板は、絶縁性基板上に形成された下配線；絶縁層を介して該下配線と直交する方向に形成され、該絶縁層によって該下配線と絶縁されている上配線；および相互に対向して形成された2つの電極からなる素子電極と電子放出材料を含む薄膜からなる電子放出素子を有してなり、

(a) 素子電極の対向する2つの電極のうちの一方が下配線に、他方が基板上に断続的に形成された接続線に接続され、

(b) 絶縁層が下配線と直交する方向に形成されており、しかも該絶縁層の幅は、下配線との交差部の方が接続線との交差部より大きくなっており、

(c) 上配線は該絶縁層上に、下配線と直交する方向に、下配線との交差部の絶縁層幅より小さい幅で形成されていて下配線と絶縁されており、

(d) 上配線には、上配線の幅より大きく下配線との交差部の絶縁層幅より小さい幅でメッキ配線が積層されていて、上配線が該メッキ配線を介して前記接続線と電気的に接続されている請求項10記載の画像形成装置。

【請求項12】 機能素子と該機能素子に接続された電

気配線とを備えた第1の基板と、画像が形成される領域を備えた第2の基板とが対向して配されていて、前記第1の基板と第2の基板との間の空間を減圧状態として前記領域に画像を形成する画像形成装置の製造方法において、印刷パターンを印刷法を用いて形成した後、該印刷パターン上に、メッキ法を用いて導電性材料を積層して前記電気配線を形成することを特徴とする画像形成装置の製造方法。

【請求項13】 前記印刷パターンの厚みを $1\mu\text{m}\sim 100\mu\text{m}$ の範囲とする請求項12記載の画像形成装置の製造方法。

【請求項14】 前記印刷パターンの厚みを $2\mu\text{m}\sim 80\mu\text{m}$ の範囲とする請求項13記載の画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大面積の表示画面を有する画素形成装置およびその画像形成装置の製造方法に関する。より詳しくは、実質的に減圧された所謂真空容器内に電気配線を備えた回路基板を配して構成される画像形成装置およびその画像形成装置の製造方法に関する。

【0002】

【従来の技術】近年、大きく重いブラウン管に代る画像形成装置として、軽く、薄型のいわゆるフラットディスプレイが注目されている。フラットディスプレイとしては、液晶表示装置(Liquid Crystal Display)が盛んに研究開発されているが、液晶表示装置には画像が暗い、視野角が狭いといった課題が依然として残っている。液晶表示装置に代るものとして自発光型のディスプレイ、すなわちプラズマディスプレイパネル(PDP)、蛍光表示管(VFD)、マルチ電子源フラットディスプレイパネルなどがある。

【0003】自発光のフラットディスプレイは、液晶表示装置に比べて明るい画像が得られるとともに視野角も広い。しかしながら、これらの自発光型フラットディスプレイにあつては、実質的に減圧された所謂真空容器内に、機能素子、電気配線を備えた基板を配して構成されるため、フラットディスプレイに安定した性能を長期にわたって持たせるためには、それ相応の工夫が必要とされる。一方、一般に配線を有する電子回路を製造する際には、基板などの被加工物に薄膜を成膜し、それをパターン加工することが行われる。例えば、基板上にAl材を成膜した後、ホトリソ、エッチングによって配線パターンを形成する等の手法が行われる。

【0004】しかしながら、ホトリソやエッチングの工程は、複雑であることから、これらの工程を用いない配線パターンの形成方法として特開平3-142894号公報に開示されたものがある。当該公報に開示された方法は、印刷により、有機金属インクを基板上に直接印刷

してパターンを形成し、そのパターン上に電解金属メッキ法により金属をメッキして、その金属の膜厚を0.5～3 μ mとするというものである。当該公報に開示された方法によれば、ファインパターンの密着力が増すとともに、ファインパターンのシート抵抗は低くなるとされている。しかしながら、当該公報には、プリンターヘッド、イメージセンサ、ハイブリッドICへの適用について言及がなされているものの、上述した真空容器内に、機能素子、電気配線を備えた基板を配して構成される自発光型のフラットディスプレイへの適用については何ら言及されていない。

【0005】ここで自発光型のフラットディスプレイに戻るが、自発光型のフラットディスプレイとして、マルチ電子源を用いて蛍光灯を発光させる平面型画像形成装置について説明する。

【0006】従来、簡単な構造で電子の放出が得られる素子として、エリンソンの報告(M.I. Elinson, Radio Eng. Electron Phys., 10(1965))に記載の表面伝導型電子放出素子(surface conductive emitter)が知られている。これは基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことによって電子放出が生ずる現象を利用するものである。

【0007】この表面伝導型電子放出素子としては、前記のエリンソンの報告に記載のSnO₂薄膜を用いたもの、Au薄膜によるもの(G. Dittmer, Thin Solid Films, 9, 317(1972))、In₂O₃/SnO₂薄膜によるもの(M. Hartwell and C. G. Fonstad, IEEE Trans. ED Conf., 519(1975))、カーボン薄膜によるもの(荒木ら, 真空, 第26巻, 第1号, 22頁(1983))などが報告されている。

【0008】これらの表面伝導型電子放出素子の典型的な素子構成として前述のハートウェル(Hartwell)の素子の構成を図15に示す。同図において、101は絶縁性基板、102は電子放出部形成用薄膜で、スパッタで形成されたH型形状金属酸化薄膜等からなり、後述のフォーミングと呼ばれる通電処理により電子放出部103が形成されている。

【0009】従来、これらの表面伝導型電子放出素子においては、電子放出を行なう前に電子放出部形成用薄膜102を予めフォーミングと呼ばれる通電処理を行なうことによって電子放出部103を形成するのが一般的であった。すなわち、フォーミングとは電子放出部形成用薄膜102の両端に電圧を印加通電し、電子放出部形成用薄膜を局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部103を形成することである。なお、電子放出部103は電子放出部形成用薄膜102の一部に亀裂が発生し、その亀裂付近から電子放出が行なわれる。

【0010】また、米国特許5066883号には、素子電極間に電子を放出せしめる微粒子を分散配置した新

規な表面伝導型電子放出素子が開示されている。この電子放出素子は、上記の従来の表面伝導型電子放出素子に対し、電子放出位置を精密に制御でき、より高精度に電子放出素子を配列することができる。その表面伝導型電子放出素子の典型的な素子構成を図16に示す。本図において、201は絶縁性基板、202および203は電氣的接続を得るための素子電極、204は分散配置された微粒子電子放出材料からなる薄膜である。

【0011】この表面伝導型電子放出素子において、前記の一对の電極202、203の電極間隔は、0.01ミクロン～100ミクロン、薄膜204の電子放出部205のシート抵抗は $1 \times 10^3 \Omega/\square \sim 1 \times 10^9 \Omega/\square$ が適当である。

【0012】以上説明した表面伝導型電子放出素子をフラットディスプレイとして用いる際には、電子ビームを飛翔させるため、真空容器内に配置する必要がある。真空容器内の本素子のほぼ垂直上にフェースプレートを立てて電子放出装置とし、電極間に電圧を印加して、電子放出部から得られた電子線を蛍光体に照射することによって蛍光体を発光させ、平面型表示装置として用いることができる。

【0013】

【発明が解決しようとする課題】しかしながら、以上説明したような平面型表示装置の画面を大面積化しようとすると、以下のような問題点が生じる。すなわち、上述の表面伝導型電子放出素子の製造に際しては被加工物に機能性薄膜を成膜し、それをパターン加工することが行なわれるが、例えば40cm角以上の大形基板上に微細なパターンをホトリソ技術によって製造する場合、大型露光装置を含む大型製造装置が必要となり、莫大な費用が必要となる。

【0014】また、シリコン半導体用の露光装置とは異なり、大面積基板対応露光装置では、光学的限界や、1基板当たりの処理時間短縮のため、パターン加工寸法を4ミクロン以下とすることが困難であり、より高精細なパターンを必要とする表示用デバイスの製作が困難となる。

【0015】さらに、1メートル角程度の面積基板では、製造装置自体の大型化が困難であり、また露光装置等の大型装置が実現できたとしても、1基板当たりの処理時間が長くなり、製造コストが莫大となる。

【0016】一方、電子回路の加工の際には、スクリーン印刷法、導電性ペーストや絶縁性ペーストを直接パターン印刷した後、焼成して電極配線パターンや絶縁層を形成するという方法も考えられる。印刷法によるパターンニングは比較的大面積基板に対応可能であり、1基板当たりの処理時間もホトリソ技術に比べて短い。

【0017】しかしながら、レジストインキや導電性ペースト、絶縁性ペーストの流動性、印刷版からの抜け性、転写性および版圧力等に起因して、印刷パターンが

変形しやすいため、優れたパターン寸法精度を維持するためには、パラメータの精密な制御と熟練が要求される。

【0018】配線を印刷によって形成した場合、得られる配線は比較的緻密性に劣るものであり、表面を拡大して観察すると表面は比較的粗な状態をなしている。そのような緻密性に劣る配線の上述の自発光型フラットディスプレイへの適用を考えると、配線を備えた回路基板は真空容器内に配されるものであることから、緻密性に劣る配線へのガスの吸着およびそこからガスの放出、そのガス放出による真空度の変化、さらにはディスプレイ性能の劣化が懸念される。

【0019】また、平面型画像形成装置の表示画面を大面積化する場合、画面内に配置される駆動配線の長さが長くなり、電圧印加した配線電極端と反対の配線電極端との間では配線の長さに応じて配線抵抗が大きくなる。

【0020】配線抵抗の増大によっては、次の問題も生ずる。

【0021】すなわち、

1) 印加した電圧に対する電圧降下が生じ、配線両端の接続素子間で与えられる電圧が異なるため、表示輝度の差が生じて画像のムラが生じやすくなる。

【0022】2) 印加した素子駆動信号の時間的遅延が生じ、配線両端の接続素子間で与えられる駆動信号の時間的ズレが発生する。これにより、大面積動画像表示を行なう際、画面1フレーム当りに表示する時間が長くなり、目視上スムーズさに欠ける不自然な動画像となる。

【0023】従って、配線抵抗の低抵抗化についても考慮する必要がある。

【0024】本発明は、上述した技術的課題を解決した画像形成装置およびその画像形成装置の製造方法を提供することを目的とする。

【0025】本発明の別の目的は、緻密性に劣る印刷配線からのガスの放出を抑制することで、ディスプレイ性能の劣化を抑えた画像形成装置およびその画像形成装置の製造方法を提供することにある。

【0026】本発明のさらに別の目的は、配線抵抗の低下を図った画像形成装置およびその画像形成装置の製造方法を提供することにある。

【0027】

【課題を解決するための手段】本発明の画像形成装置は、以下に述べる構成のものである。

【0028】すなわち本発明の画像形成装置は、機能素子と該機能素子に接続された電気配線とを備えた第1の基板と、画像が形成される領域を備えた第2の基板とが対向して配されていて、前記第1の基板と第2の基板との間の空間を減圧状態として前記領域に画像を形成する画像形成装置において、前記電気配線を印刷法によって形成された印刷パターン上に、メッキ法によって導電性

材料を積層して構成したことを特徴とするものである。

【0029】本発明の画像形成装置の製造方法は、以下に述べる構成のものである。

【0030】すなわち本発明の画像形成装置の製造方法は、機能素子と該機能素子に接続された電気配線とを備えた第1の基板と、画像が形成される領域を備えた第2の基板とが対向して配されていて、前記第1の基板と第2の基板との間の空間を減圧状態として前記領域に画像を形成する画像形成装置の製造方法において、印刷パターンを印刷法を用いて形成した後、該印刷パターン上に、メッキ法を用いて導電性材料を積層して前記電気配線を形成することを特徴とするものである。

【0031】本発明の画像形成装置および画像形成装置の製造方法によれば、上述した解決すべき技術的課題が解決され、上述した目的が達成される。

【0032】本発明の画像形成装置によれば、緻密性に劣る配線へのガスの吸着およびそこからガスの放出をゼロもしくは極めて低い値に抑制することができる。それにより、画像形成装置を構成する真空容器内の真空度の変化を極めて低く抑制できる。これに加えて、配線抵抗が低い値となることから、長期にわたって優れた表示画像を安定して形成することができる。

【0033】本発明の画像形成装置の製造方法によれば、大きな表示画面を有する画像形成装置を、安定してしかも低コストで製造することができる。

【0034】本発明の画像形成装置および画像形成装置の製造方法は、前述した通りの構成のものである。

【0035】本発明は、真空装置を用いて構成される自発光型のディスプレイに適用されるものである。真空容器を用いた自発光型ディスプレイとしてマルチ電子源を用いて蛍光体を発光させ、画像を形成する画像形成装置を例に挙げて以下に本発明を説明する。

【0036】図4を参照しながら、本発明による画像形成装置の1例について説明する。図4は画像形成装置の模式的斜視図である。図4において、330は機能素子としての電子放出素子であり、その電子放出素子330は、電気配線341および342に接続された状態で基板331（以下、「リアプレート（rear plate）」とも称する）上に形成されている。336は基板331に対向して配された画像が形成される領域を備えた基板（以下、「フェースプレート（face plate）」とも称する）であり、基板331と基板336の間の空間は、支持棒332を伴って減圧状態（実質的な真空状態）とされ、その状態で基板336上に画像が形成される。338は外圍器である。

【0037】基板336はガラス基板333の内面に蛍光膜334とメタルバック335を形成して構成されている。電子放出素子330より放出された電子は、高電位が印加されたメタルバック335に向かって飛翔し、蛍光膜334に衝突することで蛍光が発生して画像が形

【0045】次に、フォトリソグラフィーによって配線85および86の間に素子電極間隔となるギャップレジスト94を形成し、素子電極材である導電体を真空堆積法で成膜した後、ギャップレジスト94を剝離し、不要な導電体をリフトオフすることによって素子電極82および83を形成する。この際、素子電極82および83は、それぞれ配線85および86上に積層され、電気的接続を得ている(図1(b)および(c))。

10 【0046】さらに、電極間隔に電子放出材料からなる薄膜84をリバースエッチング法によって形成する。電子放出材料の成膜は、有機金属溶液の塗布焼成や真空蒸着法、スパッタ法、化学的気相堆積法、電子放出材料から成る超微粒子の分散塗布焼成等によって行なわれる(図1(d))。

【0047】次に、配線85および86上に開口を有し電子放出素子部を被覆するようにメッキレジスト95をパターンニングする。これをメッキ浴に浸漬して配線85および86上にメッキ配線87および88を成膜する(図1(c))。メッキ法は電解メッキ、無電解メッキのどちらでもよく、また併用も可能である。

【0048】メッキ終了後、メッキレジスト95を剥離することによって電子放出素子基板を得る(図1)

(f))。本発明において、メッキ法により形成される導電性材料としては、銅を主成分として含む金属、ニッケルを主成分として含む金属、クロムを主成分として含む金属、金を主成分として含む金属、銀を主成分として含む金属等の中から選択することができるが、電気伝導度およびコストを考慮すると、銅を含む金属を用いることが望ましい。

【0049】ここで、基板81としては、石英ガラス、ナトリウム等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO₂を積層したガラス基板等およびアルミナ等のセラミックス等が挙げられる。

【0050】対向する素子電極82および83の材料としては、導電性を有するものであればどのようなものであっても構わないが、例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属または合金、ならびにPd、Ag、Au、RuO₂、Pd-Ag等の金属または金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体およびポリシリコン等の半導体材料等が挙げられる。

【0051】電子放出部を含む薄膜84を構成する材料としては、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、Gd₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN、Ta

f N等の窒化物、Si、Ge等の半導体、カーボン、Ag Mg、Ni Cu、Pb Sn等を挙げることができる。

【0052】図2(a)～(e)は、フェースプレートの作製方法を示したものである。

【0053】まず、良く洗浄したガラス基板89上に蛍光体にPVA(ポリビニルアルコール)等の樹脂とこれを感光化させる感光剤を加えた蛍光体スラリー96をベタ状に塗布し乾燥する。塗布法は、スピンナー、ディッピング、スプレーコート、ロールコート、スクリーン印刷、オフセット印刷等の方法が用いられる(図2(a))。

【0054】次に、塗工された蛍光体スラリーに不図示のホトマスクを用いて必要部分にのみ光を照射露光した後、現像して不要部分の蛍光体スラリーを取り除き、焼成する。これにより、感光性樹脂は酸化焼失し、パターンニングされた蛍光体90が形成される(図2(b))。

【0055】表示装置をカラー化するために、赤(R)、緑(G)、青(B)の3原色カラー蛍光体が必要な場合は、上記図2(a)および(b)を各色について繰り返して、ガラス基板89上に蛍光体を塗り分けるようにパターンニングする。

【0056】ここで、蛍光体90を溶液中の水に浸漬し、水面にクリアラッカー等の樹脂薄膜を展開する。次に、溶液中の水を抜き取り、展開した樹脂薄膜97を蛍光体90上に展開配置した後、乾燥を行なう。この工程をフィルミングと呼ぶ(図2(c))。

【0057】フィルミングが施された蛍光体の上へ、真空堆積法によってAl等の金属薄膜を数百Åの厚さで成膜し、メタルバック91とする(図2(d))。

【0058】次に、樹脂薄膜97を焼失させ、フェースプレート上から取り除く。その際、メタルバック91は平坦化されて、切断のない連続した膜として蛍光体90の上に配置される(図2(e))。

【0059】本実施態様において、電子放出素子、蛍光体をマルチに配列させた場合、その大きさは、画像表示装置として必要とされる画素数と画面の大きさによって決定される。例えば、画面長さ40cmに対し、560本の解像力を持たせようとすると、1画素当たり約720ミクロンピッチとなる。さらに、これをカラー化するには、1絵素をR、G、Bの3原色分割する必要がある。単純に3分割すれば、ピッチは240ミクロンとなる。

【0060】この場合、電子放出部と対応する蛍光体の位置は1対1となるように配置することができる。本実施態様では、電子放出部はホトリソグラフィーによって得た素子電極によって精密に基板81上に配置される。また、電子放出部に対応する蛍光体90も、やはりホトリソグラフィーによって精密にガラス基板89上に配置される。

【0061】一般にホトリソグラフィーによるパターニ

ングの位置精度は非常に高い。マスク露光装置の仕様によって精度は変化するものの、40cm角内でパターン位置精度は4ミクロン以内の位置精度誤差内に設定することができる。もしこの位置誤差が大きい場合、例えば画素ピッチ約240μmに対して40μmのズレが発生すると画素ピッチに対して約6分の1の寸法範囲で電子放出部から放出した電子が隣接した蛍光体に照射され、蛍光輝点のクロストークが発生することになる。

【0062】ここで、本実施態様では、大面積化に比較的対応可能なスクリーン印刷による配線パターンニングを実施している。スクリーン印刷は一般に印刷版であるスクリーンメッシュマスクをスキージと呼ばれるゴムヘラでペーストインキとともに押圧摺動するために印刷版の位置に対してパターンニングされたペーストインキの位置はズレるのが一般的である。印刷条件によって異なるものの印刷面積40cm角に対して部分的に40ミクロン程度の位置誤差が生じることが多い。しかし、本実施態様においては、そのスクリーン印刷によるパターン位置誤差は、電子放出部と蛍光体中心の位置ズレによるクロストークと直接関係しない。すなわち、スクリーン印刷によってパターンニングされた配線の位置誤差は、電子放出部が正確な位置にホトリソグラフィーで形成され、かつ素子電極が配線と接続していれば、輝点のクロストークには直接的に関与しないことになる。従って、配線の位置ズレ量を考慮して素子電極と配線の接続部のマージンを大きく設計しておけばよいことになる。

【0063】本実施態様で用いたメッキ配線は、比抵抗が小さく膜厚の大きい配線を容易に得られる方法である。メッキの成膜法、条件にもよるが、ほぼ金属のバルク値に近い比抵抗の膜が得られ、かつ数ミクロンから百ミクロン程度までの厚膜が成膜できるために、非常に低抵抗な配線を得ることができる。これにより、大面積の表示装置においても、配線抵抗による電子放出素子の電圧降下や、駆動信号の遅延を小さく抑えることが可能となる。

【0064】また、本発明においては、絶縁層の形状を工夫し、メッキ配線を形成することによって、素子電極と配線との電気的接続を容易に行なうことができる。

【0065】このような例について以下に述べる。

【0066】このような1例として、絶縁性基板上に形成された下配線；絶縁層を介して該下配線と直交する方向に形成され、該絶縁層によって該下配線と絶縁されている上配線；および相互に対向して形成された2つの電極からなる素子電極と電子放出材料を含む薄膜からなる電子放出素子を有してなる回路基板において、(a)素子電極の対向する2つの電極のうちの一方が下配線に、他方が基板上に断続的に形成された接続線に接続され、(b)絶縁層が下配線と直交する方向に形成されており、しかも該絶縁層の幅は、下配線との交差部の方が接続線との交差部より大きくなっており、(c)上配線は

該絶縁層上に、下配線と直交する方向に、下配線との交差部の絶縁層幅より小さい幅で形成されていて下配線と絶縁されており、(d)上配線には、上配線の幅より大きく下配線との交差部の絶縁層幅より小さい幅でメッキ配線が積層されていて、上配線が該メッキ配線を介して前記接続線と電気的に接続されている回路基板がある。

【0067】これについて図9および図10を参照して説明する。図9において、(a)は回路基板の一部の構成を示す平面図であり、(b)は(a)のA-A'線での断面図、(c)は(a)のB-B'線での断面図である。その図9において、1は絶縁性基板、5および6は素子電極、2は電子放出部形成用薄膜、3は電子放出部、4は電子放出部を含む薄膜、7は下配線、9は絶縁層、10は上配線、8は上配線10と素子電極5とを電気的に接続するための接続線、11はメッキ配線である。

【0068】本例の回路基板において、素子電極5・6間の電極間距離L1は、数 μm ~数百 μm であり、素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは数 μm ~数十 μm である。素子電極長さW1は、数 μm ~数百 μm であり、素子電極5および6の膜厚dは、数百 \AA ~数 μm である。

【0069】電子放出部を含む薄膜4は素子電極5・6間ならびに素子電極5および6上の一部に形成され、その厚さは数 \AA ~数千 \AA 、好ましくは数十 \AA ~数百 \AA であり、素子電極5、6へのステップカバレッジ、電子放出部3と素子電極5・6間の抵抗値および電子放出部3の導電性微粒子の粒径、通電処理条件等によって適宜設定される。

【0070】下配線7および接続線8は、絶縁性基板1上に形成された配線であり、厚さは数 μm ~数十 μm である。下配線7は、素子電極5と電気的に接続されている。絶縁層9は下配線7と直交する方向に形成され、その上に上配線10が形成されている。絶縁層9の幅は、下配線7と交差する部分では広く、接続線8と交差する部分では狭く形成されており、厚さは数 μm ~数十 μm である。上配線10の厚さは数 μm ~数十 μm である。

【0071】上配線10の上には、メッキ配線11が形成されており、メッキ配線11によって上配線10と接続線8および素子電極6が電気的に接続されている。なお、下配線7と上配線10との交差部においては、絶縁層9の幅が十分に広く形成されているために、下配線7と上配線10およびメッキ配線11とは電気的に絶縁されている。メッキ配線11は、上配線10と接続線8とを接続し、かつ大面積にわたって配線を敷設する場合に印加駆動電圧の電圧降下や信号遅延の原因となる配線抵抗を小さくするために必要な膜厚が適宜選択される。通常その厚さは数十 μm ~数百 μm 程度である。

【0072】次に、図10を用いて本例の回路基板の製

造方法を説明する。

【0073】1) 絶縁性基板1を洗剤、純水および有機溶媒によって十分洗浄後、印刷法によって導電性ペーストを印刷し、焼成することによって下配線7および接続線8を形成する(図10(a))。印刷法としては、例えばスクリーン印刷法が用いられる。

【0074】2) 次に、印刷法によって絶縁性ペーストを下配線7と直交する方向に印刷し、焼成して図10(b)に示すような絶縁層9を形成する。絶縁層9の幅は、下配線7と交差する部分では広く、接続線8と交差する部分では狭く形成される。

3) 絶縁層9上に、印刷法により導電性ペーストを印刷し、焼成して上配線10を形成する(図10(c))。なお、図においては上配線10の幅は絶縁層9の幅よりも狭く形成されているが、上配線10の幅は下配線7との交差部における絶縁層9の幅よりは狭く、接続線8との交差部における絶縁層9の幅よりは広いものであってもよい。

【0075】4) 次に、基板をメッキ浴に浸漬し、上配線10を電極としてその上にメッキ配線11を形成する。メッキ配線11は上配線10の上面および側面から成長し、やがて接続線8上に到達する。さらにメッキを続けると、メッキ配線11は接続線8上にも形成される。なおその際、上配線10と接続線8との間に流れる電流をモニターしながらメッキを行えば、導通を確認することができる(図10(d))。

【0076】5) 真空蒸着法、スパッタリング法等によって導電性薄膜を成膜し、その上にフォトリソグラフィによってフォトレジストを所定の形状に形成し、フォトレジストをマスクとして上記導電性薄膜をエッチングすることにより、素子電極5および6を形成する。

【0077】次に、フォトリソグラフィおよびリフトオフ法を用いて、電子放出部形成用薄膜2を形成する。電子放出部形成用薄膜2の成膜は、真空蒸着法、スパッタリング法、化学的気相堆積法、有機金属溶液の塗布・焼成による方法、超微粒子の分散・塗布・焼成による方法等によって行なわれる(図10(e))。なお、素子電極5、6および電子放出部形成用薄膜2の形成は、メッキ配線形成工程の前であっても後であってもよい。

【0078】6) 続いて、フォーミングと呼ばれる通電処理を素子電極5・6間に電圧を不図示の電源によってパルス状あるいは高速の昇電圧によって行なうと、電子放出部形成用薄膜の一部に構造の変化した電子放出部3が形成されて電子放出素子が得られ、本例の回路基板となる(図10(f))。電子放出部3は、数 \AA ~数千 \AA 、好ましくは10 \AA ~200 \AA の粒径の導電微粒子多数個からなり、電子放出部を含む薄膜4の膜厚および通電処理条件等の製法等に依存しており、適宜設定される。電子放出部3を構成する材料は、電子放出部を含む薄膜4を構成する材料の元素の一部あるいは全てと同様

のものである。

【0079】本発明によれば、以下の効果が奏されることが容易に理解できる。

【0080】(1) 配線へのガス吸着およびガスの放出を極めて低い値とすることができるため、画像表示が極めて安定したものとなる。

【0081】(2) 印刷法やメッキ法を用いているため、回路基板および画像形成装置の製造コストを大幅に下げることができる。

【0082】(3) 真空堆積法、ホトリソグラフィーを必要部分には用いていることから、基板上に高精度に制御した高機能の素子を大面積において形成することができる。

【0083】(4) 画像形成装置の表示用素子駆動信号の配線抵抗による電圧降下や遅延を小さくすることができ、画像特性の劣化が大面積においても生じない。

【0084】

【実施例】以下、具体的な実施例を挙げて本発明を詳しく説明するが、本発明は、これら実施例に限定されるものではなく、本発明の目的が達成される範囲内の各要素の置換や設計変更がなされたものを包含する。

【0085】(実施例1) 図1〜3を用いて説明する。

【0086】図3において、81は青板ガラスから成る基板、85および86はAgペーストインキの印刷焼成で得られた厚み約7ミクロンの印刷配線である。

【0087】印刷配線85および86形成後、薄膜、ホトリソエッチング法によって素子電極82および83を形成した。素子電極82および83は、印刷配線85および86とそれぞれ接続されており、厚さ50ÅのTiを下引きとした厚さ1000ÅのNi薄膜から成っており、中央部で電極間隔2ミクロン、電極幅300ミクロンでホトリソエッチング法によって形成した。

【0088】84は有機金属溶液の塗布焼成で得られた厚さ約200ÅのPd微粒子から成る薄膜で、素子電極82および83ならびにその電極間隔部に配置するようにCr薄膜のリバースエッチ法によってパターンングした。

【0089】87および88はメッキ配線で、印刷配線85および86上に厚さ約50ミクロン、幅400ミクロンのCuメッキによって形成した。なお、このメッキに際しては、メッキの不要な部分にレジストによるマスクングを行った後、次の表1に示すピロリン酸銅メッキ浴を用いて行った。

【0090】

【表1】

ピロリン酸銅 ($\text{CuP}_2\text{O}_7 \cdot 3\text{H}_2\text{O}$)	80 g/l
ピロリン酸カリウム ($\text{K}_4\text{P}_2\text{O}_7$)	300 g/l
アンモニア水	2 ml/l
浴温	50℃
カソード電流密度	4 A/dm ²

図3において、89は青板ガラスから成るガラス基板で、基板81と5mm隔たれて対向している。

【0091】90は蛍光体で、基板89上に配置されており、対向した基板81上に配置された素子電極82および83から成る電極間隔部に対応した位置に形成されている。蛍光体90は感光成樹脂に蛍光体を混ぜてスラリー状として、塗布乾燥した後、ホトリソグラフィーによってパターンニング形成したものである。91は蛍光体90上にフィリング工程を行なった後、真空蒸着によって厚さ約300ÅのAl薄膜を成膜し、それを焼成してフィルム層を焼失することによって得られたメタルバックである。基板81上に形成された素子を含めたものを素子基板、ガラス基板89上に形成された蛍光体、メタルバックを含めたものをフェースプレートと呼ぶ。

【0092】93は素子基板とフェースプレートとの間に配置されたグリッド電極である。以上を真空外囲器の中に配置した後、メッキ配線87・88間に電圧を印加して薄膜84の通電処理を行ない、電子放出部92を形成した。この後、メタルバック91をアノード電極として電子の引き出し電圧3kVを印加し、メッキ配線87・88間を通して素子電極82および83から電子放出部92へ14Vの電圧を印加したところ、電子が放出された。この放出電子をグリッド93の電圧を変化させることによって変調し、蛍光体90へ照射される放出電子量を調整することができた。これにより、蛍光体90を任意に発光させて画像を表示できた。

【0093】この素子基板を40cm角の大きさとして、電子放出素子を素子配列ピッチ1mm、素子数350個×350個のマトリックス状に配置した。またこれに対応するフェースプレート上に、R、G、Bの各色を塗り分けした蛍光体90を配置した。ここで、素子基板上の印刷配線85および86の位置精度を測定したところ、基板中心を原点とした時、基板端では30ミクロンの位置ズレが生じていた。これに対して、各々ホトリソグラフィーによってパターンニングした電子放出部92の位置と対応する蛍光体90の相対位置誤差は、4ミクロン以下と非常に高い位置精度を示した。従って、40cm角基板上で350個×350個の画素の画像表示を行なっても、電子放出素子と蛍光体の位置ズレによって生じる蛍光輝点のクロストークは発生しなかった。

50 【0094】さらには、メッキ配線87および88の配

線抵抗は、40 cmの基板両端間で約0.5Ω程度と小さくすることができ、印刷配線85および86のみの配線抵抗に比べて1/10以下とすることができた。これによって、40 cm角基板内での駆動信号の電圧降下や遅延の問題は大幅に改善できた。また、印刷配線85および86の印刷焼成後に素子電極82および83ならびに薄膜から成る素子を作製することから、この素子は印刷焼成工程を経ていない。従って、焼成による熱ダメージを受けることがない。

【0095】(実施例2)次に、図5(a)～(e)の工程図(平面図)を用いて説明する。ここでは、不図示の青板ガラス基板に対して電子放出素子を3個×3個の計9個のマトリクス状に配線とともに形成した例で説明する。

【0096】図5において、21は下層印刷配線、22は下層印刷配線21に並列した印刷パッドであり、下層印刷配線21と同一の工程で印刷金属ペーストの焼成によって形成される。26および27は素子電極であり、それぞれ下層印刷配線21と印刷パッド22とに接続しており、金属薄膜とホトリソグラフィによって形成される。素子電極26および27は相互の隣接部で電極間隔2ミクロン、電極幅200ミクロンの形状を成している。28は電子放出材であるPd微粒子からなる電子放出部を含む薄膜であり、素子電極26および27ならびに電極間隔に配置形成される。29はこの電極間隔部の薄膜部位を示しており、後述する電子放出部となる部分である。30はメッキ配線であり、上層印刷配線25上に短冊状でメッキ法によって形成される厚さ約100ミクロンの金属配線である。

【0097】以下、本図(a)～(e)を用いて本素子基板の製造方法を順に説明する。

【0098】まず、よく洗浄した青板ガラスからなる基板上にAgペーストインキをスクリーン印刷し、焼成して幅300ミクロン、厚さ7ミクロンの下層印刷配線21および印刷パッド22を形成した(図5(a))。

【0099】次に、ガラスペーストインキをスクリーン印刷し、焼成して幅500ミクロン、厚さ約20ミクロンの絶縁層23と、開口寸法100ミクロン角のコンタクトホール24を形成した(図5(b))。

【0100】さらに、絶縁層23上にAgペーストインキをスクリーン印刷し、焼成して幅300ミクロン、厚さ10ミクロンの上層印刷配線25を形成した(図5(c))。この時、コンタクトホール24を通じて上層印刷配線25と印刷パッド22は電氣的に導通するが、絶縁層23の厚さ20ミクロンに対して上層印刷配線25の厚さ10ミクロンではコンタクトホールのステップカバーが不十分な場合が発生することがあった。しかしながら、後工程のメッキ配線形成によってコンタクトホールでの十分なステップカバーが実現される。

【0101】ここで、スパッタ法によってTiを厚さ5

0Åで下引きし、それにNiを厚さ1000Åで成膜した後、プロジェクションマスクアライナー露光によって素子電極の形状にホトレジストパターンを作製し、エッチング法によって素子電極26および27を形成した。次に、薄膜28を配置したくない部分にスパッタ法によってCrを成膜した後、ホトリソエッチング法によってCrパターンを作製し、その後有機パラジウム溶液(奥野製薬(株)キャタペーストCCP4230)を塗布・焼成してPd粒子膜を得た。さらに、Crパターンをリバースエッチして薄膜28を素子電極26および27と電極間隔部にパターンニング形成した(図5(d))。

【0102】次に、上層印刷配線25を露出させた形にメッキレジストをホトリソグラフィによって形成し、上層印刷配線25に通電してその部分にCuの電解メッキを施し、厚さ100ミクロンとした。ここで用いたメッキ浴は、表2に示す硫酸銅浴である。

【0103】

【表2】

硫酸銅 (CuSO ₄)	100 g/l
硫酸 (H ₂ SO ₄)	180 g/l
浴温	40℃
カソード電流密度	5 A/dm ²

次いで、メッキレジストを剥離することによって素子基板を製造した。この時、コンタクトホール24部分においてCuメッキ膜は十分にコンタクトホール24内にも堆積成長して、印刷パッド22と上層印刷配線25との間には十分な電氣的導通が得られた。

【0104】実施例1と同様に40 cm角基板上に電子放出素子350個×350個をマトリクス状に配置した本素子基板を、R、G、Bに対応する各蛍光体を有するフェースプレートと共に真空外囲器内に配置した。次に、電子放出素子の通電処理を行なった後、本素子基板の上層印刷配線には14Vの任意の電圧信号を下層印刷配線には0Vの電位を順次印加走査し、それ以外の下層印刷配線は7Vの電位とした。フェースプレートのメタルバックに3kVのアノード電圧を印加したところ、任意の画像を表示することができた。この時の電子放出素子と蛍光体の位置ズレによって生じる蛍光輝点のクロストークは発生しなかった。また、メッキ配線30の配線抵抗は基板両端間で約0.5Ω程度と小さくすることができ、駆動信号の電圧降下や遅延の問題を大幅に改善することができた。

【0105】さらには、印刷配線の印刷焼成後に素子電極26および27ならびに薄膜28から成る電子放出素子を作製することから、この素子は印刷焼成工程を経ていない。従って、印刷配線焼成による熱ダメージを受け

ることがない。

【0106】また、下層印刷配線21と印刷パッド22は基板上の同一形成層であり、素子電極26・27とのコンタクトは、素子電極26・27が段差のない基板上で形成され、印刷配線21と印刷パッド22に接続するため途中で断線することはなかった。

【0107】(実施例3)次に、図6(a)～(e)の工程図(平面図)を用いて説明する。ここでは、不図示の青板ガラス基板に対して電子放出素子を3個×3個の計9個のマトリックス状に配線とともに形成した例で説明する。

【0108】図6において、31は下層印刷配線で、印刷金属ペーストの焼成によって横長の短冊状に形成される。32は絶縁層であり、印刷ガラスペーストの焼成によってほぼ全域に形成される。33はコンタクトホールであり、下層印刷配線31上に絶縁層32の開口をもって構成されている。34は上層印刷配線であり、メッキ配線40の下層となるために図面上では露出していない。上層印刷配線34は絶縁層32上のくびれ部を有する短冊状である。35はコンタクトホール33上にくびれた印刷パッドであり、上層印刷配線34とともに同一工程で印刷金属ペーストの焼成によって形成される。印刷パッド35はコンタクトホール33を通じて下層印刷配線31と電気的に接続している。36および37は素子電極であり、上層印刷配線34と印刷パッド35と各々接続した金属薄膜とホトリソグラフィによって形成される。素子電極36および37は相互の隣接部で電極間隔2ミクロン、電極幅300ミクロンの形状を構成している。38は電子放出材であるPd微粒子から成る電子放出部を含む薄膜であり、素子電極36および37ならびに電極間隔に配置形成される。39はその電極間隔部の薄膜部位を示しており、後述する電子放出部となる部分である。40はメッキ配線であり、上層印刷配線34上にメッキ法によって形成される厚さ約7.5ミクロンの金属配線である。

【0109】以下、本図(a)～(e)を用いて本素子基板の製造方法を順に説明する。

【0110】まず、よく洗浄した青板ガラスからなる基板上にAgペーストインキをスクリーン印刷し、焼成して幅800ミクロン、厚さ7ミクロンの下層印刷配線31を形成した(図6(a))。

【0111】次に、ガラスペーストインキをスクリーン印刷し、焼成してほぼ全面に厚さ約20ミクロンの絶縁層32と、開口寸法200ミクロン角のコンタクトホール33を形成した(図6(b))。

【0112】さらに、絶縁層32上にAgペーストインキをスクリーン印刷し、焼成して幅900ミクロンでくびみ700ミクロンを部分的に有し、厚さ10ミクロンの上層印刷配線34を形成した。この工程では同時に印刷パッド35も400ミクロン角で形成した(図6

(c))。この時、コンタクトホール33を通じて下層印刷配線31と印刷パッド35は電気的に導通するが、絶縁層32の厚さ20ミクロンに対して印刷パッド35の厚さ10ミクロンではコンタクトホールのステップカバーが不十分な場合が発生することがあった。このような場合は、印刷パッド35の形成前にコンタクトホール33にAgペーストインキをスクリーン印刷、焼成し、コンタクトピラーを設けることによってコンタクトホールでの十分なステップカバーが実現された。

【0113】ここで、スパッタ法によってTiを厚さ50Åで下引きし、それにNiを厚さ1000Åで成膜した後、プロジェクションマスクアライナー露光によって素子電極の形状にホトレジストパターンを作製し、エッチング法によって素子電極36および37を形成した。次に、薄膜38を配置したくない部分にスパッタ法によってCrを成膜した後、ホトリソエッチング法によってCrパターンを作製し、その後有機パラジウム溶液(奥野製薬(株)キャタペーストCCP4230)を塗布・焼成してPd粒子膜を得た。さらに、Crパターンをリバースエッチして薄膜38を素子電極36および37と電極間隔部にパターンニング形成した(図6(d))。

【0114】次に、上層印刷配線34を露出させた形にメッキレジストをホトリソグラフィによって形成し、上層印刷配線34に通電してその部分にCuの電解メッキを施して、厚さ7.5ミクロンとした。ここで使用したメッキ浴は表3に示した通りのものである。

【0115】

【表3】

硫酸銅 (CuSO_4)	100 g/l
硫酸 (H_2SO_4)	160 g/l
浴温	50℃
カソード電流密度	5 A/dm ²

次いで、メッキレジストを剥離することによって素子基板を製造した。

【0116】実施例2と同様に40cm角基板上に電子放出素子350個×350個をマトリックス状に配置して、R、G、Bに対応する各蛍光体を有するフェースプレートと共に真空外囲器内に配置した。

【0117】以下、実施例2と同様に電気的駆動を行なったところ、同様に優れた画像を表示することができた。

【0118】(実施例4)コンタクトホールを形成しない以外は実施例2と同様にして、図7に示した基板を製造した。図中、51は下層印刷配線、54は上層印刷配線、52は上層印刷配線の突出部分または上層印刷配線とは別個に形成され上層印刷配線と接触している印刷パ

19

ッド、53は絶縁層である。また、55はメッキ配線である。

【0119】このように作製した基板においても、実施例2同様の効果を示した。特に、素子電極と印刷配線、印刷パッドの接続部の凹凸による断線の問題は認められなかった。

【0120】(実施例5)図8(a)～(f)に実施例2に対し作製工程を変えた実施例の平面図を示す。

【0121】図8において、66および67は素子電極であり、金属薄膜とホトリソグラフィー法によって第一の工程で形成される。61は下層印刷配線、62は印刷パッドであり、下層印刷配線61と同一工程で印刷金属ペーストの焼成によって形成される。この工程で、素子電極66および67は、下層印刷配線61と印刷パッド62とに各々接続している。63は印刷ガラスペーストの焼成によって形成された短冊状の絶縁層であり、印刷パッド62との交差中央部で64のコンタクトホールを開口を有している。65は上層印刷配線であり、印刷パッド62と接続している。68は電子放出材であるPd微粒子から成る薄膜であり、素子電極66、67および電極間隔に配線形成される。69はこの電極間隔部の薄膜部位を示しており、電子放出部となる部分である。70はメッキ配線であり、上層印刷配線65上に短冊状でメッキ法によって形成される。

【0122】以上説明したように、本実施例の作製工程は、第一の工程で能動素子の一部となるべき素子電極を形成した後に印刷配線、印刷パッドを形成している。本実施例において、ホトリソグラフィー法によって形成された素子電極と印刷法で形成された下層印刷配線、印刷パッドとは電氣的に十分導通をとることができる。

【0123】このように作製した基板においても、実施例2同様の効果を示した。特に、素子電極と印刷配線、印刷パッドとの電氣的導通を十分にとることができた。

【0124】上記実施例では実施例2の作製工程を変更したが、これに限るものではなく、実施例3において素子電極36、37を上層印刷配線34、印刷パッド35より先の工程で作製することもできる。

【0125】さらには、実施例2、3および本実施例において、素子電極さらには電子放出部を含む薄膜28、38、68を印刷配線、印刷パッドより先の工程で作製することもできる。

【0126】(実施例6)図11(a)は、本実施例で製造される表面伝導型電子放出素子を有する回路基板の一部の平面図であり、図11(b)は(a)のA-A'線での断面図、図11(c)は、(a)のB-B'線での断面図である。図12はその回路基板の製造方法を示す工程図である。

【0127】これらの図中、1は絶縁性基板、5および6はNi薄膜からなる素子電極、4はPdを主成分とする電子放出部を含む薄膜、3は電子放出部である。7は

20

下配線、8は接続線、9は絶縁層、10は上配線、11はメッキ配線である。絶縁層9は下配線7と上配線10との交差点において幅広く、接続線8と上配線10との交差点において幅狭く形成されている。素子電極5は下配線7と接続され、上配線10とは絶縁層9を介して電氣的に絶縁されている。また、素子電極6はメッキ配線11によって接続線8を通じて上配線10と電氣的に接続されている。本実施例において絶縁性基板1には40cm角の青板ガラスを用い、その上に電子放出素子を素子配列ピッチ1mm、素子数350個×350個のマトリックス状に配置した(図では3×3素子の部分のみを示した)。

【0128】以下に、その製造方法を図12を用いて説明する。

【0129】1) 青板ガラス1を洗浄後、スクリーン印刷法によって銀ペーストを印刷し、焼成して幅300μm厚さ7μmの下配線7および接続線8を同時に形成した(図12(a))。

【0130】2) 次に、スクリーン印刷法によってガラスペーストを印刷し、焼成して絶縁層9を形成した。絶縁層9の幅は、下配線7との交差部で600μm、接続線8との交差部で300μm、厚さは15μmとした(図12(b))。

【0131】3) 絶縁層9上に、スクリーン印刷法により銀ペーストを印刷し、焼成して幅200μm、厚さ10μmの上配線10を形成した(図12(c))。

【0132】4) 次に、基板1をCuのメッキ浴に浸漬し、上配線10に通電してCuの電解メッキを厚さ100μmで実施し、メッキ配線11を形成した(図12(d))。ここでメッキの不要な部分には、レジスタマスクを配した。メッキ浴には表4のものを使用した。

【0133】

【表4】

ピロリン酸銅 ($\text{Cu}_3\text{P}_2\text{O}_7 \cdot 3\text{H}_2\text{O}$)	80 g/l
ピロリン酸カリウム ($\text{K}_4\text{P}_2\text{O}_7$)	280 g/l
アンモニア水	2 ml/l
浴温	45℃
カソード電流密度	4 A/dm ²

メッキ配線11は上配線10の側面からも成長し、接続線8に到達して、接続線8上にも形成されていた。なお、下配線7とメッキ配線11は絶縁層9によって電氣的に絶縁されており、上下配線間のショートはなかった。

【0134】5) 厚さ50ÅのTiを下引き層として厚さ1000ÅのNi薄膜をスパッタリング法によって成膜し、フォトリソグラフィーによって所定の形状に形成

したフォトリソをマスクとしてNi、Tiをエッチングして素子電極5および6を形成した。素子電極5および6の幅は300 μ m、電極間距離は3 μ mとした。

【0135】次に、電子放出部形成用薄膜2を形成する部分に開口部を有するような、Crによるマスクパターンを形成した。Crの成膜は、スパッタリング法によって行ない、エッチングによってパターンを形成した。その上に、有機パラジウム溶液(CCP4230、奥野製薬社製)を塗布し、300°Cで20分間焼成した後、Crを除去して、Pdを主成分とする微粒子膜からなる電子放出部形成用薄膜2を形成した(図12(c))。

【0136】6) 続いて、真空中にて素子電極5・6間に不図示の電源によって数Vの電圧を印加してフォーミング処理を行ない電子放出部3を形成したが(図12(f))、本実施例においてはフォーミング処理は後述する画像表示装置組み立て後に行なった。

【0137】以上のようにして、絶縁性基板1上に多数の電子放出素子の形成された回路基板を製造した。

【0138】次にその回路基板を用いて画像表示装置を作製した。以下にその作製方法を図4に基づいて説明する。

【0139】電子放出素子330を形成した基板1をリアプレート331上に固定した後、基板1の5mm上方に、フェースプレート336(ガラス基板333の内面に蛍光膜334とメタルバック335が形成された構成となっている)を支持棒332を介して配置し、封着した。

【0140】蛍光膜334は、RGBストライプ形状を使用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜334を作製した。

【0141】また、蛍光膜334の内面側には、通常メタルバック335が設けられる。メタルバック335は、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常、フィリミングと呼ばれる)を行ない、その後、Alを真空蒸着することで作製した。

【0142】封着を行なう際、各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行なった。

【0143】以上のようにして完成したガラス容器内の雰囲気は排気管(図示せず)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dox1ないしDoxmとDoy1ないしDoynを通じ、電子放出素子の素子電極5・6間に電圧を印加し、電子放出部形成用薄膜2を通電処理(フォーミング処理)することにより電子放出部3を作製した。

【0144】次に、 10^{-6} Torr程度の真空度で、不図示の排気管をガスバーナーで熱することによって溶着し、外周部の封止を行なった。

【0145】最後に封止後の真空度を維持するために、ゲッター処理を行なった。これは、封止を行なう直前に

高周波加熱等の加熱法により、画像形成装置内の所定の位置(不図示)に配置されたゲッターを加熱し、蒸着膜を形成処理したものである。ゲッターはBa等を主成分とした。

【0146】以上の方法で作製した画像表示装置において、各電子放出素子には、容器外端子Dox1ないしDoxm、Doy1ないしDoynを通じ、14Vの電圧を印加することにより電子放出させ、高圧端子Hvを通じメタルバック335に3kVの電圧を印加して電子ビームを加速し、蛍光膜334に衝突させ、励起・発光させることで画像を表示させることができた。

【0147】また、メッキ配線11の配線抵抗は40cm角の基板両端間で約0.5 Ω 程度と低くでき、上配線10のみの配線抵抗に比べて1/10以下とすることができた。これによって、電圧降下による輝度のバラツキや、駆動信号の遅延による画質の低下を抑えることができた。

【0148】(実施例7) 次に、図13および14を用いて説明する。

【0149】図13(a)は、本実施例で製造される表面伝導型電子放出素子を有する回路基板の一部の平面図であり、図13(b)は(a)のA-A'線での断面図、図13(c)は、(a)のB-B'線での断面図である。図14はその回路基板の製造方法を示す工程図である。

【0150】これらの図中、1は絶縁性基板、5および6はNi薄膜からなる素子電極、4はPdを主成分とする電子放出部を含む薄膜、3は電子放出部である。7は下配線、8は接続線、9は絶縁層、10は上配線、11はメッキ配線である。絶縁層9は下配線7と上配線10との交差点において幅広く、接続線8と上配線10との交差点において幅狭く形成されている。素子電極5は下配線7と接続され、上配線10とは絶縁層9を介して電氣的に絶縁されている。また、素子電極6はメッキ配線11によって接続線8を通じて上配線10と電氣的に接続されている。本実施例において絶縁性基板1には40cm角の青板ガラスを用い、その上に電子放出素子を素子配列ピッチ1mm、素子数350個 \times 350個のマトリックス状に配置した(図では3 \times 3素子の部分のみを示した)。

【0151】以下に、その製造方法を図14を用いて説明する。

【0152】1) 青板ガラス1を洗浄後、スクリーン印刷法によって銀ペーストを印刷し、焼成して幅300 μ m厚さ7 μ mの下配線7および接続線8を同時に形成した(図14(a))。

【0153】2) 次に、スクリーン印刷法によってガラスペーストを印刷し、焼成して絶縁層9を形成した。絶縁層9の幅は、下配線7との交差点で600 μ m、接続線8との交差点で240 μ m、厚さは20 μ mとした(図

14 (b))。

【0154】3) 絶縁層9上に、スクリーン印刷法により銀ペーストを印刷し、焼成して幅300 μ m、厚さ10 μ mの上配線10を形成した(図14(c))。本実施例においては、上配線10の一部は絶縁層9の側面の一部を覆うように形成されるが、上配線10の厚さが絶縁層9の厚さに比べて十分に厚くないために、カバレッジは不十分であった。

【0155】4) 次に、メッキの不要な部分にレジストマスクを配した後、基板1を表1に示したCuのメッキ浴に浸漬し、上配線10に通電してCuの電解メッキを厚さ80 μ mで実施し、メッキ配線11を形成した(図14(d))。この時、メッキ配線11は絶縁層9上に形成された上配線10の側面からも成長し、接続線8上に形成された上配線10に到達して、接続線8と導通することによって接続線8上にも形成されていた。本実施例では、接続線8上に上配線10が形成されているため、より短時間で確実に導通を取ることが可能となった。なお、下配線7とメッキ配線11は絶縁層9によって電気的に絶縁されており、上下配線間のショートはな

かった。

【0156】5) 厚さ50ÅのTiを下引き層として厚さ1000ÅのNi薄膜をスパッタリング法によって成膜し、実施例1と同様にして素子電極5および6を形成した。素子電極5および6の幅は200 μ m、電極間距離は3 μ mとした。

【0157】次に、電子放出部形成用薄膜2を形成する部分に開口部を有するよう、Crによるマスクパターンを形成した。Crの成膜は、スパッタリング法によって行ない、エッチングによってパターンを形成した。その上に、有機パラジウム溶液(CCP4230、奥野製薬社製)を塗布し、300℃で20分間焼成した後、Crを除去して、Pdを主成分とする微粒子膜からなる電子放出部形成用薄膜2を形成した(図14(e))。

【0158】6) 続いて、実施例6と同様のフォーミング処理を行なって、電子放出部3を形成した(図14(f))。

【0159】以上のようにして、絶縁成基板1上に多数の電子放出素子の形成された回路基板を製造した。

【0160】次にその回路基板を用いて実施例6と同様にして画像表示装置を作製し、実施例1と同様に駆動したところ、全面において画像を表示させることができた。

【0161】また、メッキ配線11の配線抵抗は40 Ω 角の基板両端間で約0.5 Ω 程度と低くでき、上配線10のみの配線抵抗に比べて1/10以下とすることができた。これによって、電圧降下による輝度のバラツキや、駆動信号の遅延による画質の低下を抑えることができた。

【0162】

【発明の効果】以上説明した通り、本発明により、

(1) 配線へのガス吸着およびガスの放出を極めて低い値とすることができるため、画像表示が極めて安定したものとなり、(2) 印刷法やメッキ法を用いているため、回路基板および画像形成装置の製造コストを大幅に下げることができ、(3) 真空堆積法、ホトリソグラフィを必要部分には用いていることから、基板上に高精度に制御した高機能の素子を大面積において形成することができ、(4) 画像形成装置の表示用素子駆動信号の配線抵抗による電圧降下や遅延を小さくすることができ、画像特性の劣化が大面積においても生じない。

【図面の簡単な説明】

【図1】本発明の画像形成装置における第1の基板製造の1例を示す工程図である。

【図2】本発明の画像形成装置における第2の基板製造の1例を示す工程図である。

【図3】本発明の画像形成装置の1例の模式的断面図である。

【図4】本発明の画像形成装置の1例を示す模式的斜視図である。

【図5】本発明に適用し得る電気配線形成の1例を示す工程図である。

【図6】本発明に適用し得る電気配線形成の別の例を示す工程図である。

【図7】本発明に適用し得る電気配線の1例を示す模式図である。

【図8】本発明に適用し得る電気配線形成のさらに別の例を示す工程図である。

【図9】本発明に適用し得る電気配線の別の例を示す模式図である。

【図10】本発明に適用し得る電気配線形成のさらに別の例を示す工程図である。

【図11】本発明に適用し得る電気配線のさらに別の例を示す模式図である。

【図12】本発明に適用し得る電気配線形成のさらに別の例を示す工程図である。

【図13】本発明に適用し得る電気配線のさらに別の例を示す模式図である。

【図14】本発明に適用し得る電気配線形成のさらに別の例を示す工程図である。

【図15】表面伝導型電子放出素子の1例を示す模式図である。

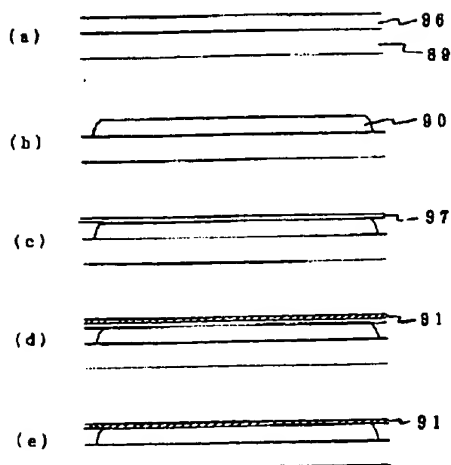
【図16】表面伝導型電子放出素子の別の例を示す模式図である。

【符号の説明】

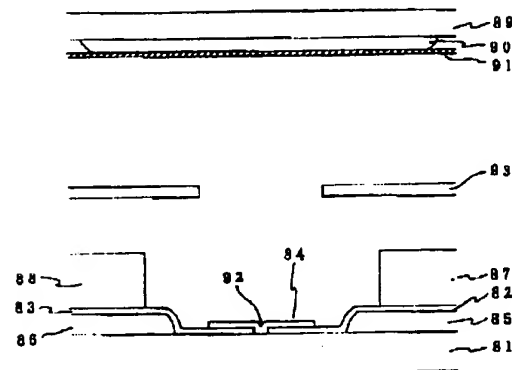
- | | |
|------|------------|
| 1 | 絶縁性基板 |
| 2 | 電子放出部形成用薄膜 |
| 3 | 電子放出部 |
| 4 | 電子放出部を含む薄膜 |
| 5, 6 | 素子電極 |

25		26	
7	下配線	66、67	素子電極
8	接続線	68	薄膜
9	絶縁層	69	薄膜部位
10	上配線	70	メッキ配線
11	メッキ配線	81	基板
21	下層印刷配線	82、83	素子電極84
22	印刷パッド	85、86	印刷配線
23	絶縁層	87、88	メッキ配線
24	コンタクトホール	89	ガラス基板
25	上層印刷配線	10	90 蛍光体
26、27	素子電極	91	メタルバック
28	電子放出部を含む薄膜	92	電子放出部
29	薄膜部位	93	グリッド
30	メッキ配線	94	ギャップレジスト
31	下層印刷配線	95	メッキレジスト
32	絶縁層	96	蛍光体スラリー
33	コンタクトホール	97	樹脂薄膜
34	上層印刷配線	101	絶縁性基板
35	印刷パッド	102	電子放出部形成用薄膜
36、37	素子電極	20	103 電子放出部
38	電子放出部を含む薄膜	201	絶縁性基板
39	薄膜部位	202、203	素子電極
40	メッキ配線	204	導電性薄膜
51	下層印刷配線	205	電子放出部
52	印刷パッド	330	機能素子（電子放出素子）
53	絶縁層	331	第1の基板（リアプレート）
54	上層印刷配線	332	支持枠
55	メッキ配線	333	ガラス基板
61	下層印刷配線	334	蛍光膜
62	印刷パッド	30	335 メタルバック
63	絶縁層	336	第2の基板（フェースプレート）
64	コンタクトホール	338	外囲器
65	上層印刷配線	341、342	電気配線

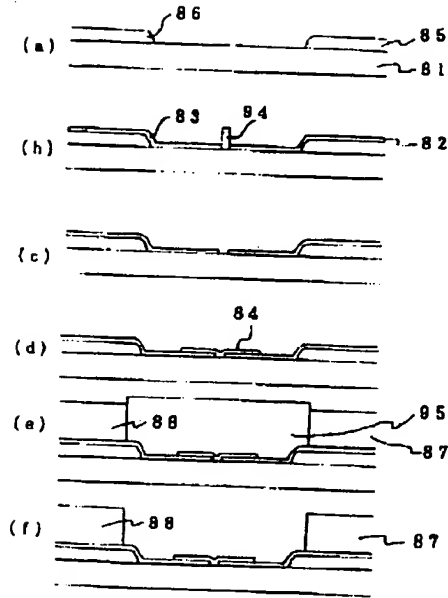
【図2】



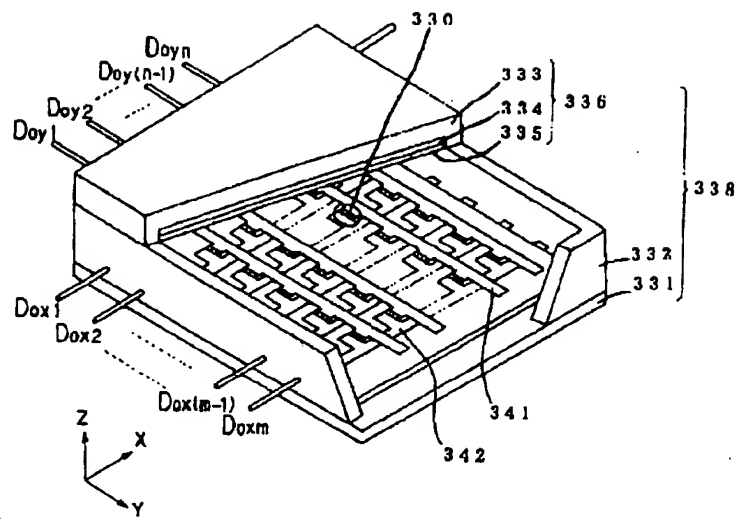
【図3】



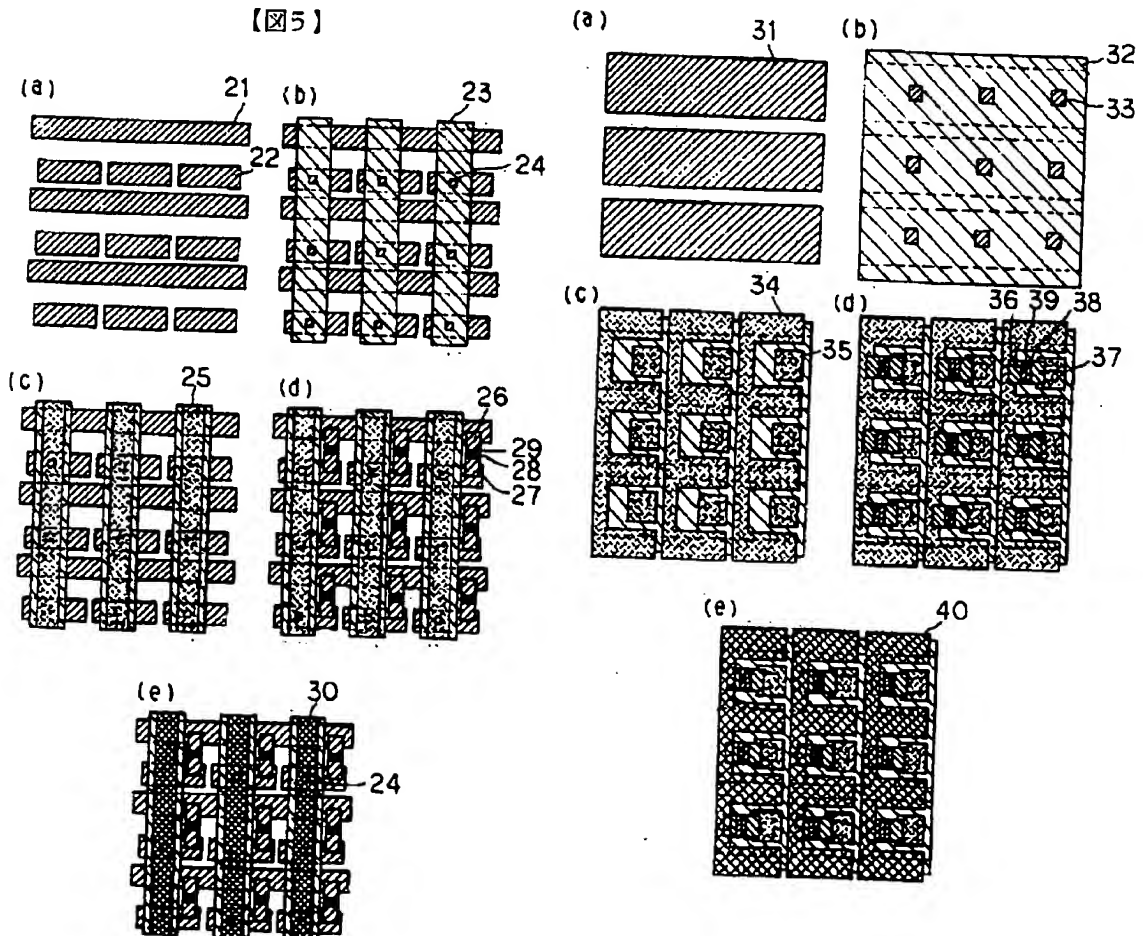
【図1】



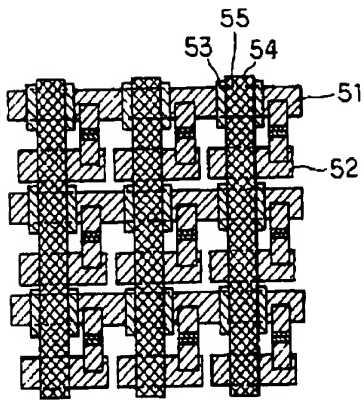
【図4】



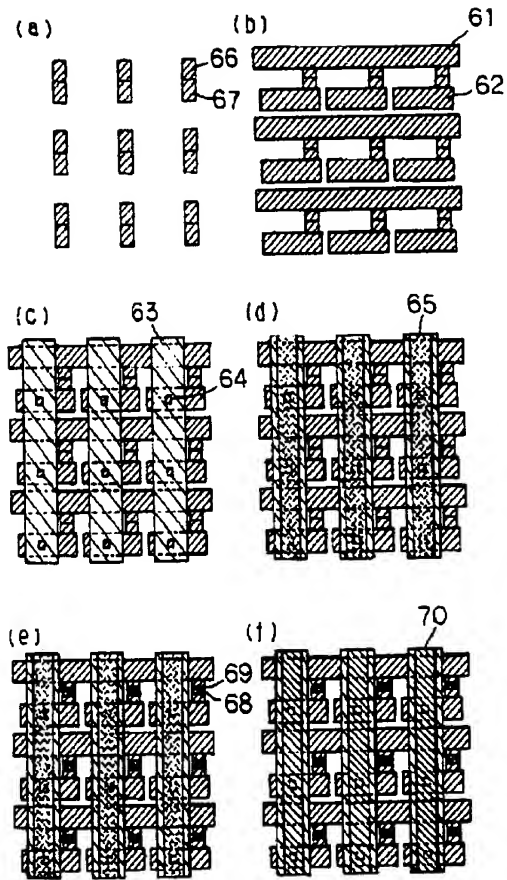
【図6】



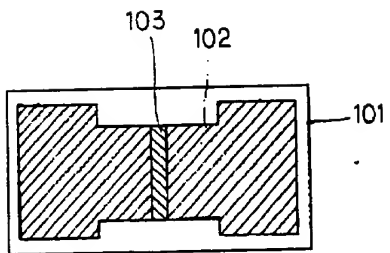
【図7】



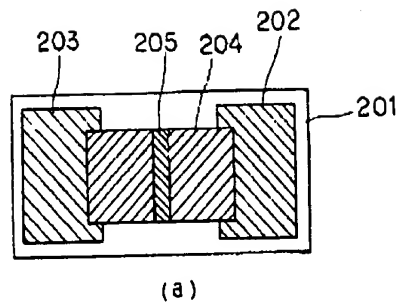
【図8】



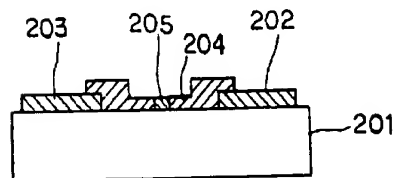
【図15】



【図16】

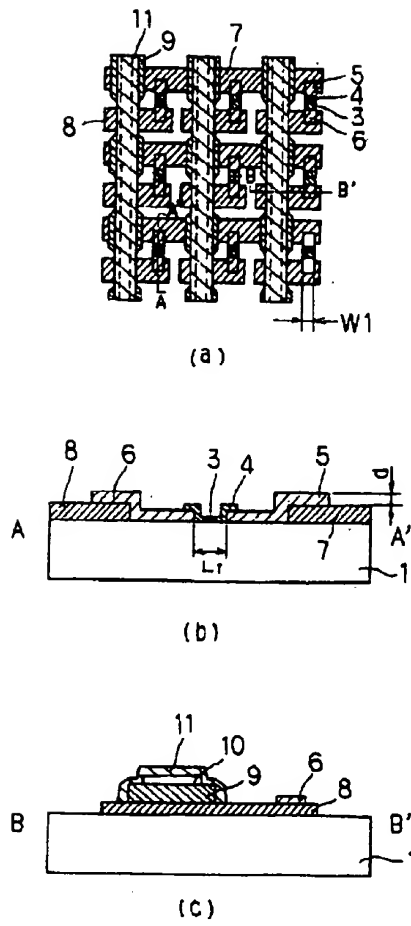


(a)

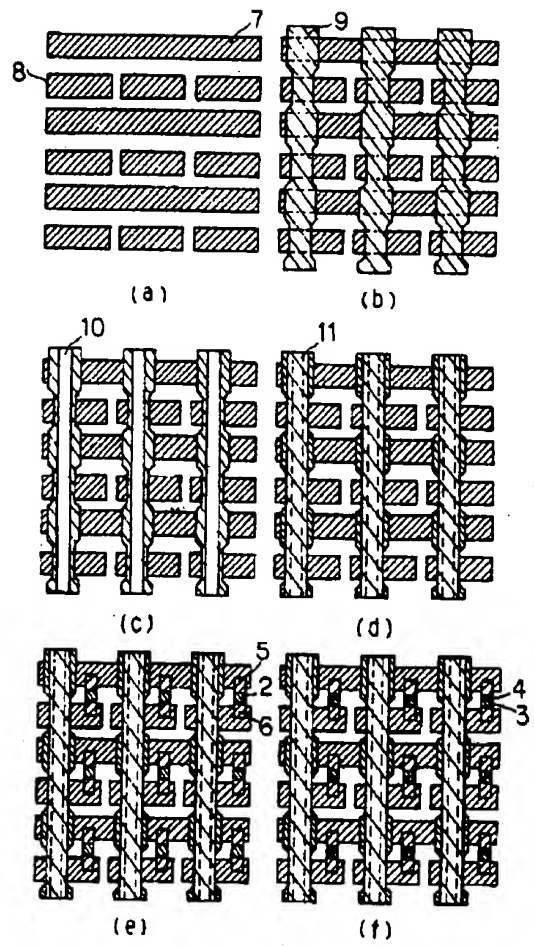


(b)

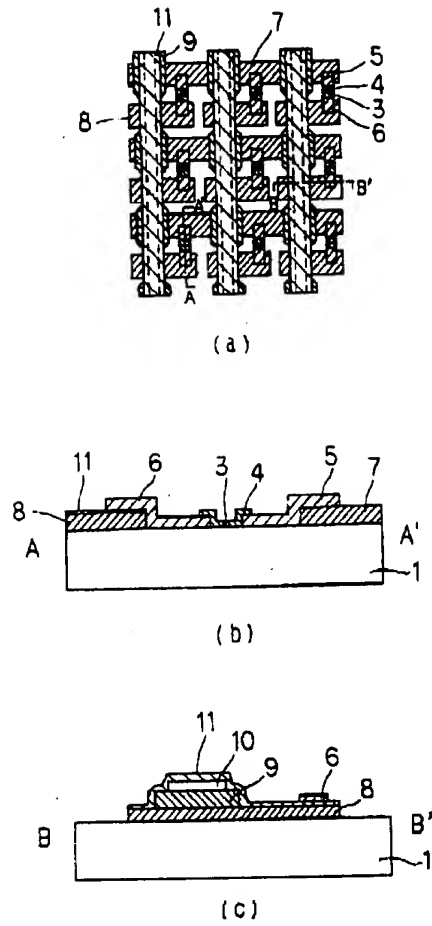
【図9】



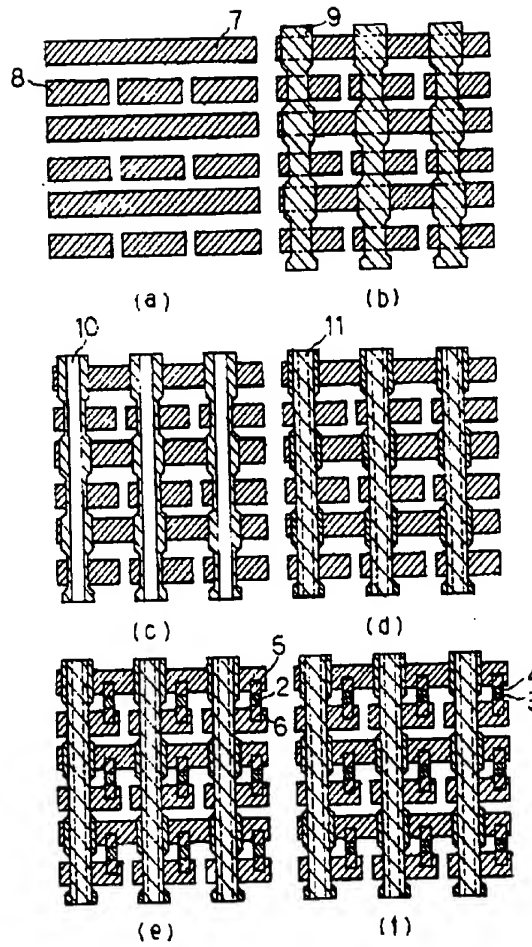
【図10】



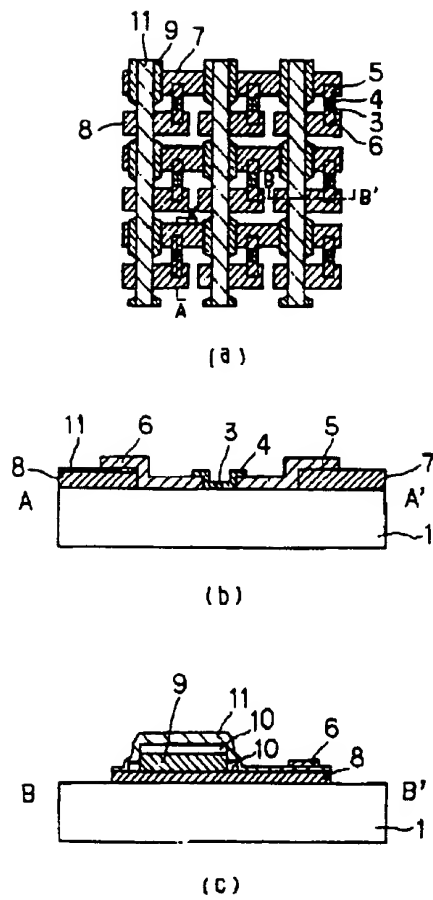
【図11】



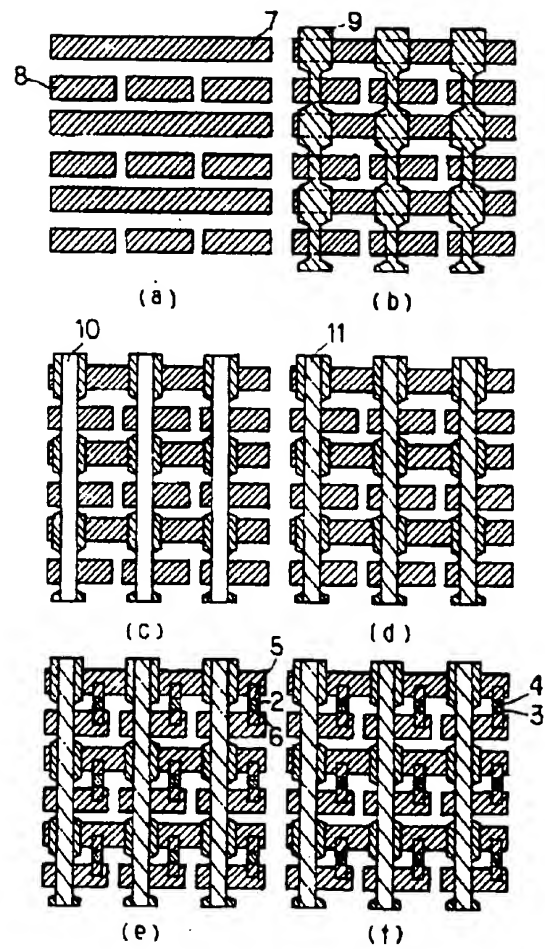
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 長谷川 光利
 東京都大田区下丸子3丁目30番2号 キヤ
 ノン株式会社内

(72)発明者 三道 和宏
 東京都大田区下丸子3丁目30番2号 キヤ
 ノン株式会社内

THIS PAGE BLANK (USPTO)